# Programmiergerät AnaGate UP 2.0

## Benutzer-Handbuch

**Analytica GmbH**

**A. Schmidt, Analytica GmbH**

# Programmiergerät AnaGate UP 2.0 : Benutzer-Handbuch

Analytica GmbH
von A. Schmidt

Das vorliegende Dokument wurde unter dem Dateinamem *AnaGateUP2-2.1.pdf* mittels Docbook/FOP am 14.05.2025 16:26:35 erzeugt.

Veröffentlicht 27. April 2015
Copyright © 2007-2025 Analytica GmbH

## Zusammenfassung

Das vorliegende Handbuch beschreibt die Funktionsweise und Schnittstellen eines *AnaGate UP 2.0*.

Alle Rechte vorbehalten. Sämtliche Angaben zum Handbuch wurden sorgfältig erarbeitet, erfolgen jedoch ohne Gewähr.

Kein Teil des Handbuchs, der Programm-Beispiele oder Programms darf in irgendeiner Form (Druck, Fotokopie, Mikrofilm oder in einem anderen Verfahren) ohne unsere vorherige schriftliche Genehmigung reproduziert oder unter Verwendung elektronischer Systeme verarbeitet, vervielfältigt oder verbreitet werden.

Wir weisen darauf hin, dass die in der Dokumentation verwendeten Bezeichnungen und Markennamen der jeweiligen Firmen im Allgemeinen warenzeichen-, marken- oder patentrechtlichem Schutz unterliegen.

Analytica GmbH
Bannwaldallee 60
76185 Karlsruhe
Germany
Fon +49 (0) 721-43035-0
Fax +49 (0) 721-43035-20
<support@analytica-gmbh.de>

www.analytica-gmbh.de
www.anagate.de

| Versionsgeschichte | | | |
|---|---|---|---|
| Version 0.9 | 10.12.2008 | Uwe | Initiale Version |
| Version 1.0 | 30.09.2009 | Uwe | JTAG/Renesas/Power |
| Version 1.1 | 22.07.2010 | THa | Korrektur Steckerbelegung Renesas |
| Version 2.0 | 22.07.2013 | ASc | Handbuch auf **DocBook**-Format umgestellt und für AnaGate UP 2.0 erweitert. |
| Version 2.1 | 27.04.2015 | ASc | Beschreibung Pin Layout SPI fehlerhaft (MISO/MOSI vertauscht). |

# Inhaltsverzeichnis

Einleitung ..... vi
1. Beschreibung ..... 1
    1.1. Eigenschaften ..... 1
    1.2. Spezifikation ..... 2
    1.3. Lieferumfang ..... 3
    1.4. Schnittstellen und Anschlüsse ..... 3
2. Konfiguration ..... 8
    2.1. Inbetriebnahme ..... 8
    2.2. Netzwerk-Einstellungen ..... 9
    2.3. Digitale Ein-/Ausgänge ..... 10
    2.4. Werkseinstellungen wiederherstellen ..... 11
    2.5. Firmware-Update ..... 12
3. Anwendungsfälle ..... 14
    3.1. Verwendung der SPI Schnittstelle ..... 14
    3.2. Verwendung der I2C Schnittstelle ..... 15
    3.3. Verwendung der JTAG Schnittstelle ..... 15
    3.4. Power-Schnittstelle ..... 16
A. FAQ - Häufig gestellte Fragen ..... 18
B. I2C-Baustein-Liste ..... 22
C. SPI-Baustein-Liste ..... 23
D. Produktvergleich Programmiergeräte ..... 24
E. Programmiergeschwindigkeit ..... 26
F. Technischer Support ..... 28
Abkürzungen ..... 29
Literaturverzeichnis ..... 30


© 2007-2025 Analytica GmbH

# Abbildungsverzeichnis

1.1. AnaGate UP 2.0 ..... 1
1.2. Frontansicht, AnaGate UP 2.0 ..... 3
1.3. Rückansicht AnaGate UP 2.0 ..... 6
2.1. Web-Interface, AnaGate UP 2.0 ..... 8
2.2. Web-Interface, Netzwerk-Einstellungen ..... 9
2.3. Pinbelegung, Stecker für Digital IO ..... 10
2.4. AnaGate UP 2.0, Beispiel Blinkzeichen-Ausgabe ..... 12
2.5. Web-Interface, AnaGate UP 2.0 ..... 12
2.6. Web-Interface, Firmware-Update ..... 13
3.1. Universal Programmer mit einem SPI-Slave verschalten ..... 14
3.2. Universal Programmer mit zwei I2C Devices verschalten ..... 15
3.3. Universal Programmer mit einem JTAG Device verschalten ..... 16

 © 2007-2025 Analytica GmbH

# Tabellenverzeichnis

1.1. Technische Daten, AnaGate UP2 ..... 2
1.2. Pinbelegung, SPI Stecker ..... 4
1.3. Pinbelegung, JTAG Stecker ..... 4
1.4. Pinbelegung, I2C Stecker ..... 5
1.5. Pinbelegung, VAUX Stecker ..... 5
A.1. AnaGate Ports ..... 20
B.1. I2C-Baustein-Liste ..... 22
C.1. SPI-Baustein-Liste ..... 23
D.1. Vergleich der Universal-Programmiergeräte ..... 24
D.2. Vergleich Universal- und Standalone-Programiergeräte ..... 24
E.1. Programmiergeschwindigkeiten für I2C im Vergleich ..... 26
E.2. Programmiergeschwindigkeiten für SPI im Vergleich ..... 26


© 2007-2025 Analytica GmbH

# Einleitung

Das vorliegende Dokument beschreibt die Funktionsweise und Eigenschaften des Universal-Programmiergerätes *AnaGate UP 2.0*.

Das *AnaGate UP 2.0* dient zur Programmierung von I2C und SPI EEPROMs bzw. Flash-Bausteinen. Über die vorhandene JTAG Schnittstelle können zusätzlich sowohl Flash-Bausteine (NOR/NAND/CPUs) programmiert, als auch CPUs mit JTAG Schnittstelle debugged werden.

Das Gerät ist eine Weiterentwicklung des bewährten *AnaGate Universal Programmers UPP*, der die Kernfunktionalität der beiden Ethernet-Gateways *AnaGate I2C* und *AnaGate SPI* bereit stellt. Das Konzept einen transparenten Zugriff auf den I2C- bzw. SPI-Bus über eine LAN-Schnittstelle zu ermöglichen, wurde übernommen und beide Hardware-Schnittstellen in einem einzelnen Gerät zusammengefaßt. Über die Software-Schnittstelle des *AnaGate UP 2.0* können auf diese Weise vom PC aus beliebige I2C- und SPI-Befehle abgesetzt werden. Zusätzlich stellt das Gerät eine JTAG-Schnittstelle und eine galvanisch getrennte Stromversorgung für die Versorgung von der angeschlossenen Bausteinen bzw. Baugruppen zur Verfügung.

Die Programmierung von Speicherbausteinen erfolgt über eine kostenlose batchfähige Programmiersoftware, in der die einzelnen Programmieralgorithmen hinterlegt sind. Noch nicht unterstützte Bausteine können auf Anfrage in die Programmiersoftware übernommen werden. Alternativ besteht auch die Möglichkeit, den *AnaGate UP 2.0* über eine frei verfügbare Anwendungsbibliothek (API) anzusteuern und in eigenen Anwendungen individuell zu verwenden.

Das *AnaGate UP 2.0* ist aufgrund seiner hohen Programmiergeschwindigkeit geradezu für den Einsatz in der Serienfertigung bei der In-System-Programmierung von elektronischen Baugruppen über z.B. Wechseladaptersysteme prädestiniert. Er wird aber auch gerne im Laborbereich für die Einzelprogrammierung während der Entwicklung eingesetzt.

Die Verbindung zum Programmiergerät von einem PC aus erfolgt grundsätzlich über eine herkömmliche Netzwerkverbindung (TCP/IP, LAN, WLAN), die Installation von zusätzlichen Gerätetreibern ist bei einer funktionsfähigen Netzwerkschnittstelle im Regelfall nicht notwendig.


© 2007-2025 Analytica GmbH

# Kapitel 1. Beschreibung

Das *AnaGate UP 2.0* ermöglicht einem Gerät (z.B. PC oder SPS), sich über das TCP/IP Netzwerkprotokoll mit einem SPI-Bus, I2C-Bus bzw. mit einem JTAG-fähigen Baustein zu verbinden.

Hierzu stellt das *AnaGate UP 2.0* eine SPI-Schnittstelle, eine I2C-Schnittstelle, eine JTAG-Schnittstelle und eine Ethernet-Schnittstelle bereit.

**Abbildung 1.1. AnaGate UP 2.0**

Die Steuerung und Konfiguration des *AnaGate UP 2.0* erfolgt über ein auf TCP/IP basierendem proprietärem Protokoll. Dieses Protokoll ist offengelegt und detailliert beschrieben (siehe [TCP-2020]). Für PCs mit Betriebssystem Windows und Linux sind kostenlose Anwendungsbibliotheken verfügbar, über die sich der gesamte Funktionsumfang der einzelnen Geräte in Anwendungsprogramme einbinden lässt.

## 1.1. Eigenschaften

Das *AnaGate UP 2.0* unterstützt die Schnittstellen I2C, SPI und JTAG.

### I2C-Schnittstelle

- Unterstützt I2C Read und Write Befehle für sämtliche I2C Devices im 7 und 10 Bit Format.
- Individuell einstellbare I2C-Baudrate (50, 100, 200, 400, 1000 kbit/s).
- Galvanische getrennte SCL/SDA Leitungen.

### SPI-Schnittstelle

- Unterstützt sämtliche SPI-Salve Devices, um beliebige Daten an das Gerät zu senden und zu empfangen.
- Individuell einstellbare SPI-Baudrate (200 – 10000 kbit/s).
- Galvanische getrennte CLK/MISO/MOSI/CS Leitungen.


© 2007-2025 Analytica GmbH

### JTAG-Schnittstelle

- Unterstützt die Standard JTAG Schnittstelle, um Flash Bausteine zu programmieren bzw. um eine JTAG fähige CPU zu debuggen.
- Individuell einstellbare JTAG Geschwindigkeit(10 – 8333 kbit/s).
- Galvanische getrennte –TRST, -SRST, TDI, TMD, TCK, TDO Leitungen.

### Sonstige Eigenschaften

- Zwei verschiedene Poweranschlüsse zur Stromversorgung (und zwar für mitgeliefertes Netzteil oder für externen Stromanschluß).
- Power-Schnittstelle für Belastung bis 200mA (1,8V, 2,7V, 3,3V und 5,0V DC)
- Kommunikation über ein proprietäres Netzwerkprotokoll.
- Die Geräte-Adresszuweisung der IP-Adresse kann sowohl statisch als auch dynamisch per DHCP erfolgen.
- Das Programmiergerät verfügt über jeweils 4 frei verwendbare digitale Ein- und Ausgänge, die über Ethernet gesteuert werden können.

# 1.2. Spezifikation

| Technischer Bereich | | Spezifikation |
|---|---|---|
| Maße | Tischgehäuse | 155mm x 105mm x 40mm, über optionalen Adapter an Hutschiene montierbar |
| | Gewicht | ca. 315g |
| I2C Bus | Baudrate | Standard Mode (100kbps), Fast Mode (400kbps), Fast Mode Plus (1Mbps), einstellbar per Software |
| | Betriebsmodus | Single Master, Multi Master |
| | High-Pegel SCL/ SCA | 3,0V - Max: 5,0V (galvanisch getrennt) |
| | Schnittstelle | 6-poliger Stecker mit SCL, SCA, Vcc, GND |
| SPI Bus | Baudrate | 200 – 10000kbps, einstellbar per Software |
| | Betriebsmodus | SPI Master |
| | High-Pegel | Min: 1,8V - Max: 5,5V (galvanisch getrennt) |
| | Schnittstelle | 10-poliger Stecker mit MISO, MOSI, CLK, -SS, GND, Vcc, GND |
| JTAG | Baudrate | 10 – 8333kbps, einstellbar per Software |
| | Betriebsmodus | JTAG Master Mode |
| | High-Pegel | Min: 1,8V - Max: 5,5V (galvanisch getrennt) |
| | Schnittstelle | 20-poliger Stecker mit –TRST, -SRST, TDI, TMD, TCK, TDO, Vcc, GND |
| Digitale IO | Eingänge | 4, galvanisch getrennt von 3,3 – 24V |


© 2007-2025 Analytica GmbH

| Technischer Bereich | | Spezifikation |
|---|---|---|
| | Ausgänge | 4, galvanisch getrennt von 3,3 – 24V ($I_{ges\ max}$ = 0,5A) |
| LAN-Schnittstelle | Baudrate | 10/100 Mbps |
| | TCP/IP | Statische oder dynamische (DHCP) IP-Adresse |
| | Schnittstelle | RJ45-Buchse |
| Spannungs-versorgung | Spannung | 9V-28V Gleichspannung |
| | Strombedarf | max. 350 mA bei 9V (ohne angeschlossene USB-Geräte) |
| Umgebungs-temperaturen | Lagerung | 0 .. 85 °C |
| | Betrieb | 0 .. 60 °C |

**Tabelle 1.1. Technische Daten, AnaGate UP2**

# 1.3. Lieferumfang

Das *AnaGate UP 2.0* wird mit den folgenden Komponenten geliefert:

- 1x AnaGate UP 2.0
- 1x CD mit Handbuch, Programmier-API für Windows/Linux, Programmiersoftware für I2C, SPI und JTAG (Windows/Linux)
- 1x 1,8 m Cat. 5 LAN Kabel (ungekreuzt)
- 1x 10poliger Stecker (für Digital IO)
- 1x 2poliger Stecker (für externe Stromversorgung)
- 1x Steckernetzteil, abhängig von Bestellcode: EU, US oder UK.

# 1.4. Schnittstellen und Anschlüsse

## 1.4.1. AnaGate UP 2.0

**Abbildung 1.2. Frontansicht, AnaGate UP 2.0**


© 2007-2025 Analytica GmbH

Auf der Frontseite des *AnaGate UP 2.0* befinden sich von links nach rechts, die folgenden Anschlüsse:

SPI 10-poliger Wannenstecker zum Anschluß des SPI-Busses (galvanisch getrennt).

Die Pinbelegung kann folgender Tabelle entnommen werden:

| Pin | Typ | Beschreibung |
|---|---|---|
| $Vcc_{IN}$ | | Externe Spannung für SPI, zulässiger Bereich: 1,8 bis 5V DC |
| CLK | Ausgang | Taktleitung |
| -SS | Ausgang | Slave Select Leitung (low aktiv) |
| MISO | Eingang | Master-In Slave-Out |
| MOSI | Ausgang | Master-Out Save-In |
| GND | | Masse |

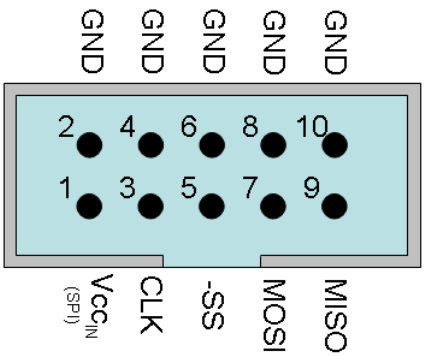


**Tabelle 1.2. Pinbelegung, SPI Stecker**

JTAG 20-poliger Wannenstecker zum Anschluß des SPI-Busses (galvanisch getrennt).

Die Pinbelegung kann folgender Tabelle entnommen werden:

| Pin | Typ | Beschreibung |
|---|---|---|
| $Vcc_{IN}$ | | Externe Spannung für JTAG, zulässiger Bereich: 1,8 bis 5V DC |
| -TRST | Ausgang | Test Reset |
| TDI | Eingang | Test Data Input |
| TMS | Eingang | Test Mode Select Input |
| TCK | Ausgang | Test Clock |
| TDO | Ausgang | Test Data Output |
| -SRST | Ausgang | Slave Reset |
| GND | | Masse für JTAG |
| NC | | nicht verbunden |

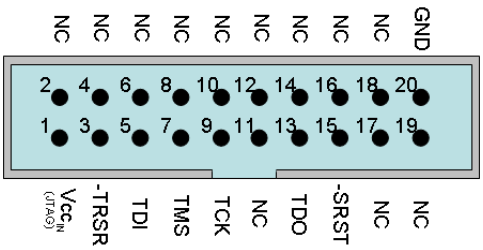


**Tabelle 1.3. Pinbelegung, JTAG Stecker**

I2C 6-poliger Wannenstecker zum Anschluß des I2C-Busses (galvanisch getrennt).

Die Pinbelegung kann folgender Tabelle entnommen werden:


© 2007-2025 Analytica GmbH

| Pin | Typ | Beschreibung |
|---|---|---|
| $Vcc_{IN}$ | | Externe Spannung für I2C, zulässiger Bereich: 1,8 bis 5V DC |
| SCL | Ein-/ Ausgang | Serielle Taktleitung |
| SDA | Ein-/ Ausgang | Serielle Datenleitung |
| GND | | Masse für I2C |

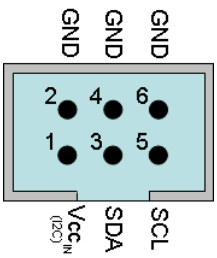


**Tabelle 1.4. Pinbelegung, I2C Stecker**

VAUX 10-poliger Wannenstecker zur Stromversorgung der angeschlossenen elektronischen Baugruppen.

Die Pinbelegung kann folgender Tabelle entnommen werden:

| Pin | Typ | Beschreibung |
|---|---|---|
| $5V_{OUT}$ | Ausgang | 5V Ausgang zur Versorgung von Baugruppen bis 200mA |
| $3{,}3V_{OUT}$ | Ausgang | 3,3V Ausgang zur Versorgung von Baugruppen bis 200mA |
| $2{,}7V_{OUT}$ | Ausgang | 2,7V Ausgang zur Versorgung von Baugruppen bis 200mA |
| $1{,}8V_{OUT}$ | Ausgang | 1,8V Ausgang zur Versorgung von Baugruppen bis 200mA |
| GND | | Masse für SPI |
| NC | | nicht verbunden |

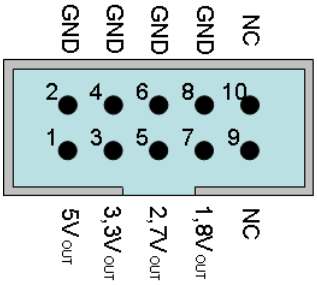


**Tabelle 1.5. Pinbelegung, VAUX Stecker**


© 2007-2025 Analytica GmbH

# 1.4.2. Rückansicht AnaGate UP 2.0

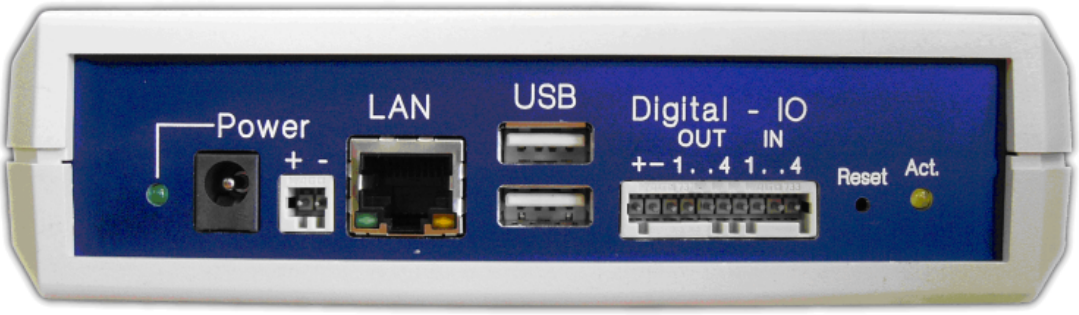


**Abbildung 1.3. Rückansicht AnaGate UP 2.0**

Auf der Rückseite des *AnaGate UP 2.0* befinden sich, von links nach rechts, die folgenden Anschlüsse und LEDs:

Poweranzeige — Diese grüne LED leuchtet, sobald das Gerät über einen der beiden Powerstecker mit einer ordnungsgemäßen Spannung versorgt wird.

Powerstecker — Das *AnaGate UP 2.0* kann auf zwei Wegen mit Strom versorgt werden.

Für die Verwendung als Tischgerät ist die Hohlsteckerbuchse vorgesehen, um das Gerät über ein Steckernetzteil zu versorgen.

Alternativ kann das Gerät über die zweipolige WAGO-Stiftleiste mit einem externen Netzteil (z.B. im Schaltschrank) verbunden werden.

**Warnung**

Es ist unbedingt darauf zu achten, dass das *AnaGate UP 2.0* nur über ein Netzteil gespeist wird.

LAN — Über die RJ45 Buchse wird das *AnaGate UP 2.0* mit dem Ethernet verbunden. Das Gerät kann so an eine Netzwerkkomponente wie z. B. einen Hub oder Switch verbunden werden. Zum direkten Anschluß an einen PC muss ein gekreuztes Netzwerkkabel verwendet werden.

USB Hosts — Für zukünftige Erweiterungen und kundenspezifische Lösungen ist das *AnaGate UP 2.0* mit zwei USB 1.1 Schnittstellen ausgestattet.

Digital IO — Das *AnaGate UP 2.0* stellt 4 digitale Ein- und 4 digitale Ausgänge bereit, die frei verwendet werden können. Die IO's sind galvanisch vom Gerät getrennt und müssen von außen mit einer Spannung zwischen 3,3V und 24V versorgt werden (siehe Abschnitt 2.3, „Digitale Ein-/Ausgänge").

Reset — Mit dem Reset-Taster kann das *AnaGate UP 2.0* wieder in den Auslieferungszustand versetzt werden (siehe Abschnitt 2.4, „Werkseinstellungen wiederherstellen").

 © 2007-2025 Analytica GmbH

| | |
|---|---|
| Activity LED | Diese gelbe LED leuchtet bei der Verarbeitung von empfangenen CAN-Nachrichten. |


© 2007-2025 Analytica GmbH

# Kapitel 2. Konfiguration

## 2.1. Inbetriebnahme

Zunächst muss der *AnaGate UP 2.0* über den Power-Stecker mit einer Spannung von 9 bis 24 Volt versorgt werden.

Ein LAN Kabel in die mit LAN bezeichnete Buchse stecken und mit einen Hub/Switch oder alternativ über ein gekreuztes LAN Kabel direkt mit einem PC verbinden.

### 2.1.1. Werkseinstellungen

Der *AnaGate UP 2.0* wird mit folgenden Werkseinstellungen ausgeliefert:

| | |
|---|---|
| IP-Adresse | `192.168.1.254` |
| Adressentyp | statisch |
| Netzmaske | `255.255.255.0` |
| Gateway | `192.168.1.1` |

Das Gerät kann nun mittels eines Browsers (Firefox, Chrome, etc.) unter Eingabe von http://192.168.1.254 konfiguriert werden.

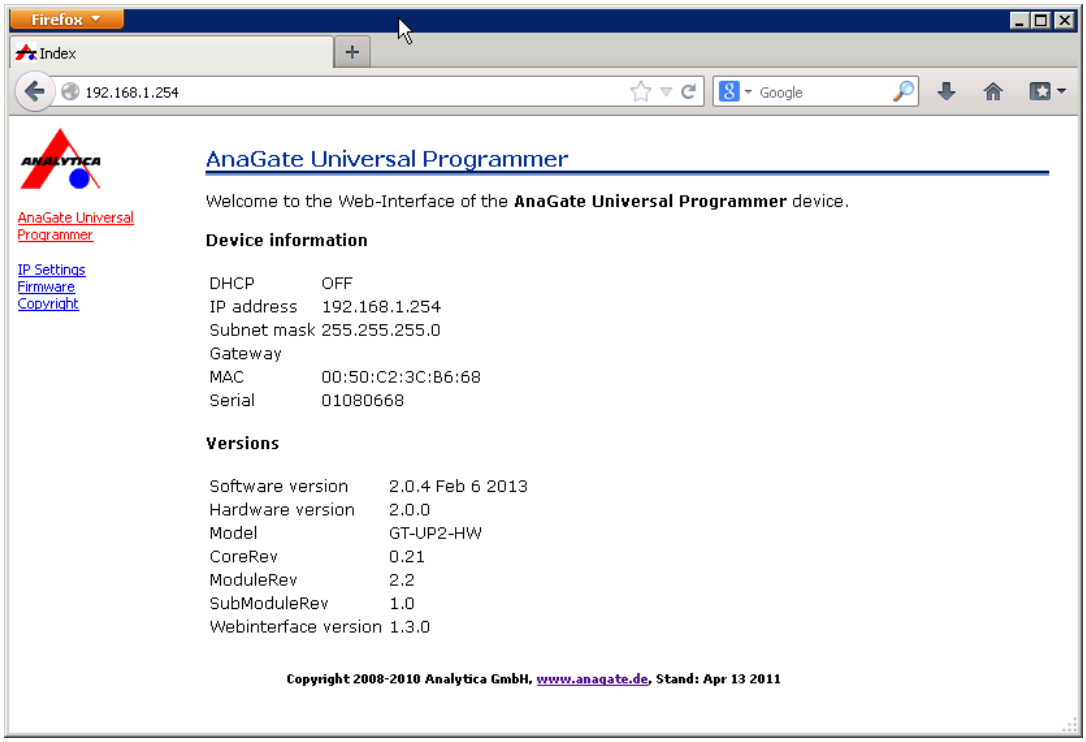


**Abbildung 2.1. Web-Interface, AnaGate UP 2.0**

#### Anmerkung

Der zur Konfiguration verwendete PC muss sich ebenfalls im `192.168.1.x` Netzwerk befinden. Hierzu kann z. B. die statische IP-Adresse


© 2007-2025 Analytica GmbH

192.168.1.2 mit der Subnetz Maske 255.255.255.0 verwendet werden. Ggf. müssen die Einstellungen der Netzwerkkarte am Konfigurations-PC temporär entsprechend angepasst werden.

# 2.2. Netzwerk-Einstellungen

Auf der Seite *IP Settings* können die folgenden Einstellungen vorgenommen werden:

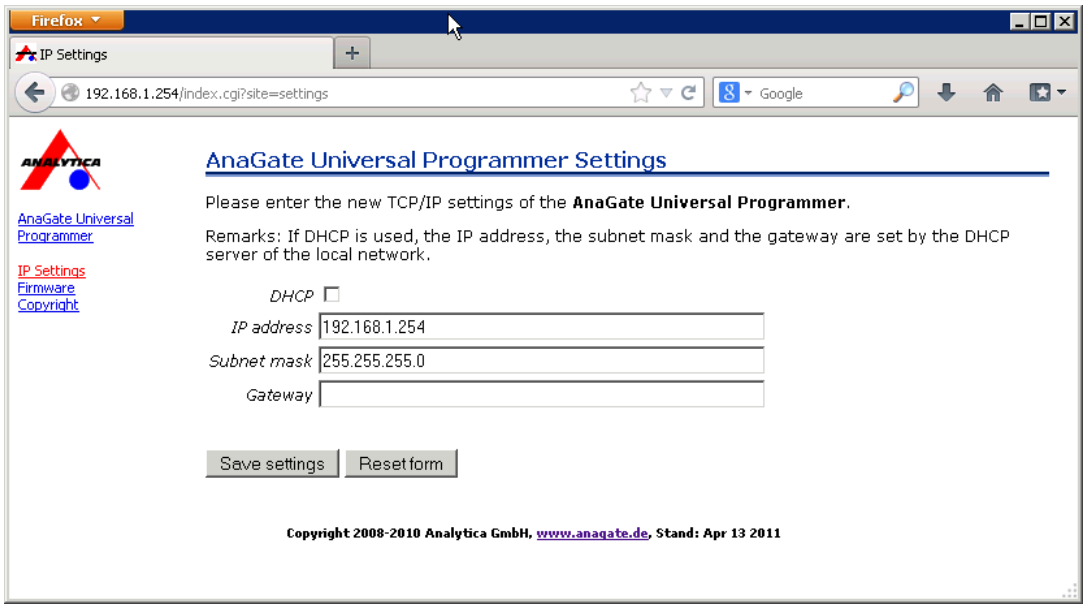


**Abbildung 2.2. Web-Interface, Netzwerk-Einstellungen**

DHCP — Hiermit kann zwischen der statischen IP und der dynamischen Adressvergabe (DHCP) umgeschaltet werden. Ist das Kontrollkästchen aktiviert, wird der Inhalt der nachfolgenden Felder ignoriert, da diese Informationen automatisch vom DHCP-Server bezogen werden. In diesem Fall muss ein DHCP Server im Netzwerk vorhanden und erreichbar sein.

IP address — Über dieses Eingabefeld kann die IP-Adresse des *AnaGate UP 2.0* eingestellt werden. Diese muss dazu im Format a.b.c.d (z.B. 192.168.1.200) eingegeben werden.

Subnet mask — Über dieses Eingabefeld kann die Subnetzmaske im Format a.b.c.d (z.B. 255.255.255.0) eingegeben werden.

Gateway — Über dieses Eingabefeld kann die IP-Adresse des *Default Gateways* im Format a.b.c.d (z.B. 192.168.1.1) eingegeben werden. Falls kein *Default Gateway* benötigt wird, bitte frei lassen oder 0.0.0.0 verwenden.

Die Eingaben werden nach dem Betätigen der Schaltfläche sofort übernommen und permanent auf dem *AnaGate UP 2.0* hinterlegt, ohne dass das Gerät neu gestartet werden muss.


© 2007-2025 Analytica GmbH

### Anmerkung

Eventuell muss nach dem Ändern der IP-Adresse der *ARP-Cache* des PCs gelöscht werden.

# 2.3. Digitale Ein-/Ausgänge

## 2.3.1. Stecker-Aufbau

Über die 10-polige Stiftleiste auf der Rückseite stellt der *AnaGate UP 2.0* vier digitale Ein- und vier digitale Ausgänge bereit, die frei verwendet werden können. Da die IO's galvanisch vom Gerät getrennt sind, müssen diese über die Pins 1 uns 2 separat mit einer Spannung von 3,3 – 24 VDC versorgt werden.

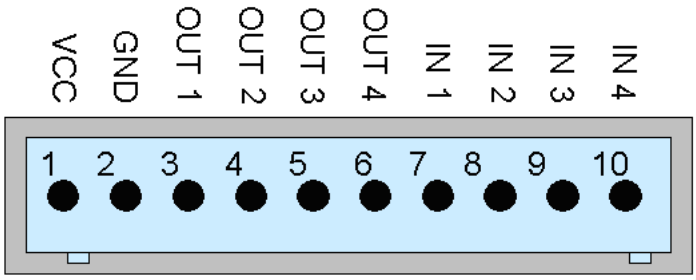


**Abbildung 2.3. Pinbelegung, Stecker für Digital IO**

### 2.3.1.1. Beschaltung der Eingänge

An den Eingängen IN1 bis IN4 kann eine beliebige Spannung zwischen VCC und GND angelegt werden. Sobald die Spannungsdifferenz zwischen INx und GND mehr als 1,0 V beträgt, interpretiert der *AnaGate UP 2.0* den Eingang als logisch `High`. Ansonsten wird der Eingang als logisch `Low` angesehen.

### 2.3.1.2. Beschaltung der Ausgänge

Bei den Ausgängen handelt es sich um Open-Collector-Treiberstufen (OC). Ist der Ausgang aktiv, wird dieser auf GND gezogen. Im inaktiven Zustand ist der Ausgang potentialfrei.

Grundsätzlich kann jeder einzelne Ausgang mit 400mA betrieben werden.

Aus thermischen Gründen ist jedoch darauf zu achten, das die Summe aller Ausgangsströme 500mA nicht überschreiten. Die Ausgänge sind nicht kurzschlussfest, und müssen daher durch einen entsprechenden Vorwiderstand geschützt werden.

### Warnung

Die Ausgänge sind nicht kurzschlußfest!

 © 2007-2025 Analytica GmbH

# 2.4. Werkseinstellungen wiederherstellen

Um das Programmiergerät in den Auslieferungszustand zurück zu versetzen, muss der Taster *RESET* für ca. 10 Sekunden gedrückt werden. Als Bestätigung für den Reset blinkt die gelbe Activity-LED bis der Taster wieder losgelassen wird.

Nach dem Zurücksetzen verwendet das Gerät sofort (ohne Neustart) die folgenden Einstellungen:

| | |
|---|---|
| IP-Adresse | `192.168.1.254` |
| Adressentyp | statisch |
| Netzmaske | `255.255.255.0` |
| Gateway | `192.168.1.1` |

### Wichtig

Wird der Taster zu kurz gedrückt, wird die aktuelle IP-Adresse und Netzwerkmaske über die gelbe LED herausgeblinkt. Das Gerät wurde dann nicht zurückgesetzt. Das Blinken kann durch ein kurzes Drücken des Tasters vorzeitig beendet werden.

### Anmerkung

Direkt nach dem Einschalten des Gerätes bis zum endgültigen Laden des Betriebssystems und der eigentlichen Firmware des Gerätes kann die Werkseinstellung noch nicht wiederhergestellt werden. Diese Initialisierungsphase wird über die gelbe Activity-LED signalisiert. Beim Einschalten des Gerätes leuchtet die gelbe LED bis der Systemhochlauf durchgeführt ist.

### Anmerkung

Eventuell muss nach dem Ändern der IP-Adresse der *ARP-Cache* des PCs gelöscht werden.

## 2.4.1. Einstellung der IP-Adresse überprüfen

Es besteht die Möglichkeit, die aktuellen Netzwerkeinstellungen direkt am Gerät zu überprüfen.

Nach kurzer Betätigung des *RESET*-Tasters beginnt das Gerät die aktuellen Netzwerkeinstellungen des Gerätes über die gelbe Activity-LED herauszublinken. Eine weitere Betätigung des Tasters bricht den Vorgang ab.

Es werden nacheinander die IP-Adresse und die Netzwerkmaske ausgegeben. Folgende Blinkzeichen werden verwendet:

- Ziffern 1, 2, 3, ... 9: 1x, 2x, 3x, ...9x Blinken (200ms Pause zwischen jedem Blinken)
- Ziffer 0: 10x Blinken (200ms Pause zwischen jedem Blinken)


© 2007-2025 Analytica GmbH

- Punkt: 1x sehr kurzes Blinken

Zusätzlich wird zwischen zwei aufeinanderfolgende Ziffern jeweils 1 Sekunde nicht geblinkt und zwischen IP-Adresse und Netzwerkmaske wird 2x ganz kurz geblinkt.

**Abbildung 2.4. AnaGate UP 2.0, Beispiel Blinkzeichen-Ausgabe**

# 2.5. Firmware-Update

Der Firmware-Update eines *AnaGate UP 2.0* erfolgt direkt über den Webserver des Gerätes.

Auf der Startseite des Webservers werden die aktuellen Firmware-Informationen angezeigt.

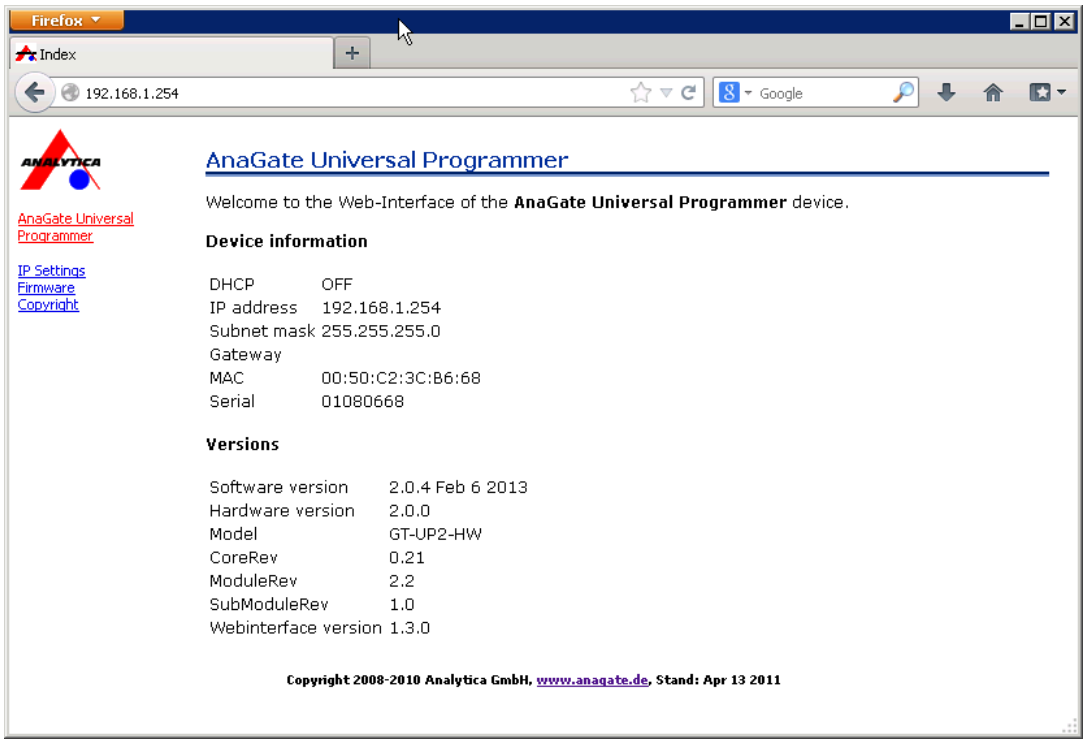


**Abbildung 2.5. Web-Interface, AnaGate UP 2.0**

Gehen Sie bitte folgendermaßen vor, um die Firmware auf dem *AnaGate UP 2.0* zu aktualisieren:

- Klicken Sie in der Navigationsleiste links auf *Firmware* , um in das Firmware-Upload Formular zu gelangen.

 © 2007-2025 Analytica GmbH

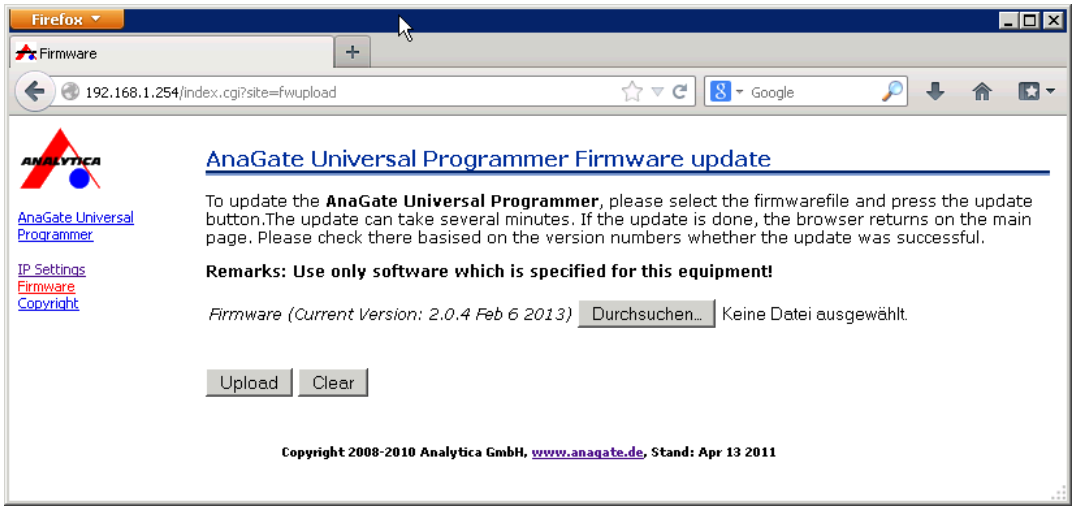


**Abbildung 2.6. Web-Interface, Firmware-Update**

- Wählen Sie das Update-Packet (Dateiendung *.upd) über den Schalter **Durchsuchen"** aus.
- Über den Schalter **Upload** wird der Firmware-Update gestartet.
- Während des Update-Vorgangs werden auf dem Webserver verschiedene Installationsausgaben gemacht. Bei einem erfolgreichen Update wird dies mittels **Update done!** angezeigt.

Nach dem Update kehrt der Browser wieder zur Startseite zurück. Überprüfen Sie hier, ob auch die neue Firmware-Version angezeigt wird.

## Warnung

Konnte die Firmware nicht korrekt auf das Gerät geladen werden, ist das Gerät ggf. nicht mehr betriebsfähig.

Weitere Informationen finden Sie auf der Produkt-Homepage http://www.anagate.de.

 © 2007-2025 Analytica GmbH

# Kapitel 3. Anwendungsfälle

## 3.1. Verwendung der SPI Schnittstelle

Bevor die SPI Schnittstelle verwendet werden kann, muss diese über die Pins Vcc und GND mit einer externen Spannung zwischen 1,8V und 5,0V DC versorgt werden. Die Signalpegel der Schnittstelle entsprechen dabei immer der Versorgungsspannung. Es ist daher sinnvoll für die Versorgung der Schnittstelle, als auch für die Versorgung des zu Programmierenden Gerätes dieselbe Spannungsquelle zu verwenden, z.B. direkt über die Stromversorgung der zu programmierenden Baugruppe. Beim *AnaGate UP 2.0* und beim *AnaGate UPP* kann die Versorgung des SPI-Slaves (bis 200mA) auch über die vorhandene Power-Schnittstelle (VAUX) erfolgen.

Gerade bei höheren Baudraten ist darauf zu achten, dass zwischen zwei Signalleitungen stets eine GND-Leitung verläuft. Desweiteren sollten die Anschlussleitungen möglichst kurz gehalten werden.

In dem folgenden Bild ist die Verwendung der I2C Schnittstelle schematisch dargestellt.

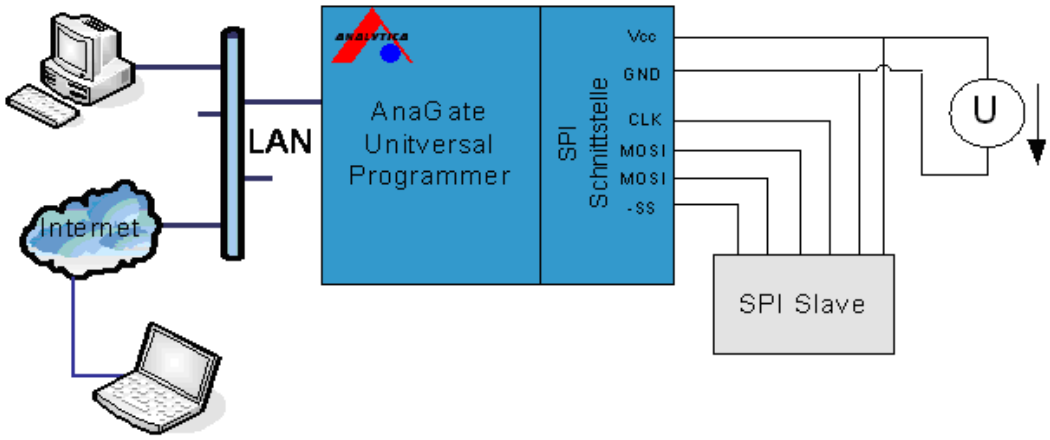


**Abbildung 3.1. Universal Programmer mit einem SPI-Slave verschalten**

Die Leitungen müssen wie folgt verschaltet werden:

MOSI Diese Leitung muss an den Dateneingang des SPI Slave angeschlossen werden (häufig mit DI bzw. SI bezeichnet).

MISO Diese Leitung muss an den Datenausgang des SPI Slave angeschlossen werden (häufig mit DO bzw. SO bezeichnet).

CLK Diese Leitung muss an den Clockeingang des SPI Slave angeschlossen werden (häufig mit CLK bzw. SCK bezeichnet).

-SS Diese Leitung muss an den Chip Select Eingang des SPI Slave angeschlossen werden (häufig mit –SS bzw. -CS bezeichnet).


© 2007-2025 Analytica GmbH

# 3.2. Verwendung der I2C Schnittstelle

Bevor die I2C-Schnittstelle verwendet werden kann, muss diese über die Pins Vcc und GND mit einer externen Spannung zwischen 3,3V und 5V versorgt werden. Die Signalpegel der Schnittstelle entsprechen dabei immer der Versorgungsspannung. Da die Schnittstelle galvanisch getrennt ist, kann die Stromversorgung direkt über die zu programmierende Baugruppe versorgt werden. Beim *AnaGate UP 2.0* und beim *AnaGate UPP* kann die Versorgung der Schnittstelle sowie des I2C-Devices (bis 200mA) auch über die vorhandene Power-Schnittstelle (VAUX) erfolgen.

Prinzipiell benötigt der I2C-Bus an den Signalleitungen SDA und SCL Pullup-Widerstände von ca. 4,7k Ohm. Diese sind nicht im *Anagate UP 2.0* integriert und müssen extern angebracht werden. In den meisten Fällen werden diese Widerstände auf den zu programmierenden Baugruppen bereits vorhanden sein.

In dem folgenden Bild ist die Verwendung der I2C Schnittstelle schematisch dargestellt.

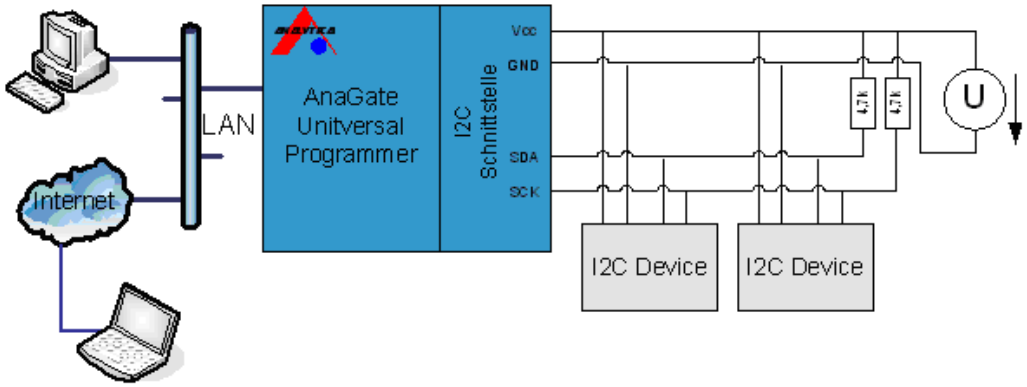


**Abbildung 3.2. Universal Programmer mit zwei I2C Devices verschalten**

Besitzt ein I2C Device Chip Enable Address Eingänge (in der Regel mit A0/E0, A1/E1 und A2/E2 bezeichnet), müssen diese wie im Datenblatt des Herstellers verschaltet werden.

# 3.3. Verwendung der JTAG Schnittstelle

Bevor die JTAG Schnittstelle verwendet werden kann, muss diese über die Pins Vcc und GND mit einer externen Spannung zwischen 1,8V und 5V DC versorgt werden. Die Signalpegel der Schnittstelle entsprechen dabei immer der Versorgungsspannung. Es ist daher sinnvoll für die Versorgung der Schnittstelle, als auch für die Versorgung des zu programmierenden Gerätes dieselbe Spannungsquelle zu verwenden. Dies kann z.B. direkt über die Stromversorgung der zu programmierenden Baugruppe erfolgen.. Beim *AnaGate UP 2.0* und beim *AnaGate UPP* kann die Versorgung des JTAG Device (bis 200mA) auch über die vorhandene Power-Schnittstelle (VAUX) erfolgen.

Gerade bei höheren Baudraten ist darauf zu achten, dass zwischen zwei Signalleitungen stets eine GND-Leitung verläuft. Desweiteren sollten die Anschlussleitungen möglichst kurz gehalten werden.

 © 2007-2025 Analytica GmbH

In dem folgenden Bild ist die Verwendung der JTAG Schnittstelle schematisch dargestellt.

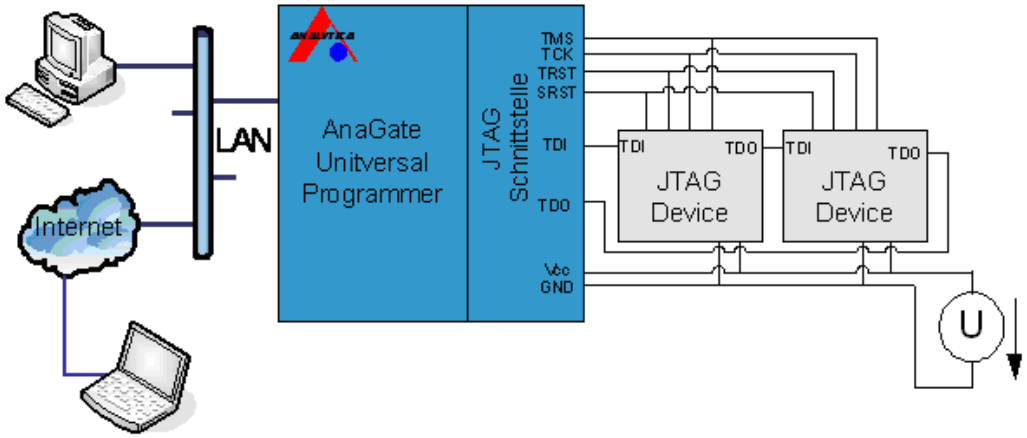


**Abbildung 3.3. Universal Programmer mit einem JTAG Device verschalten**

Die Leitungen müssen wie folgt verschaltet werden:

TMS, TCK — Diese Leitungen müssen an jedes JTAG Device mit der gleichen Bezeichnung angeschlossen werden.

TRST, SRST — Diese Leitungen (Test- und System-Reset) können, müssen jedoch nicht an das JTAG Device mit der gleichen Bezeichnung angeschlossen werden.

TDI — Diese Leitung muss an die TDI (Dateneingang) Leitung des JTAG Devices angeschlossen werden.

TDO — Diese Leitung muss im Single Device Modus wieder zurück an das AnaGate Universal Programmer an den Pin TDO angeschlossen werden.

Werden mehrere JTAG Devices an den Programmer angeschlossen, so wird das TDO des ersten Devices an den TDI des zweiten Devices usw. angeschlossen. Der TDO Ausgang des letzten Devices wird dann wieder mit dem Pin TDO des AnaGate Universal Programmer verbunden.

### Anmerkung

Das Gerät unterstützt keinen RCLK.

# 3.4. Power-Schnittstelle

Über die Power Schnittstelle VAUX stehen die folgenden Spannungen bei einer maximalen Strombelastung von insgesamt 200mA zur Verfügung:

- 1,8V DC
- 2,7V DC
- 3,3V DC

 © 2007-2025 Analytica GmbH

- 5,0V DC

Diese Spannungen können genutzt werden, um z.B. eine zu programmierende Platine mit Spannung zu versorgen.


© 2007-2025 Analytica GmbH

# Anhang A. FAQ - Häufig gestellte Fragen

Im folgenden eine Aufstellung von häufig gestellten Fragen.

## A.1. Allgemeine Fragen

**F:** Keine Netzwerk-Verbindung (1)

**A:** Überprüfen Sie bitte zuerst, ob eine physische Netzwerkverbindung zum Gerät vorhanden ist. Grundsätzlich muss das *AnaGate* direkt mit einem PC oder einer aktiven Netzwerkkomponente (Hub, Switch) über ein LAN-Kabel verbunden sein. Bei der Verbindung zu einem PC muss ein gekreuztes LAN-Kabel benutzt werden.

Die physische Verbindung ist in Ordnung, falls die gelbe Link-LED bei der RJ45-Buchse leuchtet, wenn das LAN-Kabel verbunden wird. Die Link-LED leuchtet konstant, solange die Verbindung besteht. Bei einigen Gerätemodellen blinkt die LED im Betrieb auch synchron zur grünen Activity-LED an der RJ45-Buchse bei Datenverkehr.

Falls die Link-LED grundsätzlich nicht leuchtet, ist die physische Verbindung gestört. Überprüfen Sie in diesem Fall die Netzwerkverkabelung.

**F:** Keine Netzwerk-Verbindung (2)

**A:** Wenn die Link-LED eine Ethernet-Verbindung anzeigt (siehe vorherige FAQ), das *AnaGate* aber trotzdem nicht erreichbar ist, gehen Sie bitte wie folgt vor:

1. Prüfen Sie, ob das *AnaGate* per Ping erreichbar ist. Dazu geben Sie in einer Eingabeaufforderung den Befehl **ping a.b.c.d** ein, wobei `a.b.c.d` durch die IP-Adresse des Geräts zu ersetzen ist.

2. Sollte das *AnaGate* mit Ping nicht erreichbar sein, setzen Sie das Gerät in den Auslieferungszustand zurück. Stellen Sie die IP-Adresse Ihres PCs auf `192.168.1.253` und die Subnetzmaske auf `255.255.255.0`. Prüfen Sie, ob das *AnaGate* mittels **ping 192.168.1.254** erreichbar ist.

3. Wenn das Gerät mittels Ping erreichbar ist, prüfen Sie, ob Sie eine TCP-Verbindung auf dem Port 5001 herstellen können. Dazu geben Sie in einer Eingabeaufforderung den Befehl **telnet a.b.c.d 5001** ein, wobei `a.b.c.d` durch die IP-Adresse des Geräts zu ersetzen ist. Sollte dieser Befehl eine


© 2007-2025 Analytica GmbH

Fehlermeldung erzeugen, prüfen Sie, ob auf Ihrem PC eine Firewall aktiviert ist oder im Netzwerk zwischen Ihrem PC und dem *AnaGate* ein Paketfilter aktiv ist.

**F:** Keine Netzwerkverbindung nach Änderung der Netzwerkadresse

**A:** Nach der Änderung der Netzwerkadresse über das Web-Interface des Gerätes kann das Gerät nicht mehr erreicht werden. Der verwendete Internet-Browser gibt bei Eingabe der IP-Adresse eine leere Seite zurück. Eine Fehlermeldung, dass die Zieladresse nicht erreichbar ist, wird nicht angezeigt.

Überprüfen Sie, ob Ihr Antiviren-Programm den Zugriff auf die IP-Adresse blockiert. Beim Ändern der Netzwerk-Adresse wird ein Redirect auf die neue Adresse des Gerätes durchgeführt. Solche Umleitungen stufen Antivirenprogramme gelegentlich als verdächtig ein, was zur Folge hat, dass die neue Geräteadresse blockiert wird. Die Blockierung von Netzwerkadressen erfolgt teilweise automatisch ohne Benachrichtigung des Benutzers.

**F:** Verbindungsprobleme bei Verwendung mehrerer Geräte

**A:** Werden in einem lokalen Netzwerk mehrere Geräte gleichzeitig betrieben, kann es zu Verbindungsproblemen kommen, wenn zwei Geräte mit identischer IP-Adresse verwendet werden. Es ist deshalb sicherzustellen, dass auf allen gleichzeitig eingesetzten Geräten unterschiedliche IP-Adressen eingestellt sind.

Diese Problematik tritt ebenfalls auf, wenn Geräte mit gleicher IP-Adresse zwar nicht gleichzeitig im Netzwerk vorhanden sind, jedoch im kurzen zeitlichen Abstand nacheinander angeschlossen werden. Dies kann zum Beispiel bei der initialen Konfiguration von mehreren Neugeräten der Fall sein, die in der Grundeinstellung (IP-Adresse `192.168.1.254`) ausgeliefert werden.

Bei IPv4-Netzwerken wird das **Address Resolution Protocol (ARP)** verwendet, um die MAC-Adressen zu gegebenen IP-Adressen zu ermitteln. Die dafür notwendigen Informationen werden im *ARP-Cache* zwischengespeichert. Wenn falsche bzw. nicht mehr aktuelle Einträge vorhanden sind, kann mit dem betroffenen Host nicht kommuniziert werden.

Das Zeitintervall, nach dem ein Eintrag aus dem ARP-Cache gelöscht wird, ist implementierungsabhängig. Sobald ein Eintrag in der Tabelle genutzt wird, wird dessen Ablaufzeit verlängert. Unter Unix und Windows kann der ARP-Cache mit dem Kommando **arp** angezeigt und geändert werden.

```
C:\>arp -a

Schnittstelle: 10.1.2.50 --- 0x2
  Internetadresse       Physikal. Adresse     Typ
  192.168.1.254         00-50-c2-3c-b0-df     dynamisch
```

Mittels des Kommandos **arp -d** kann der gesamte *ARP-Cache* geleert werden.

## Anmerkung

Eventuell muss nach dem Ändern der IP-Adresse eines Gerätes der *ARP-Cache* des PCs gelöscht werden.

**F:** Port in Firewall öffnen

 © 2007-2025 Analytica GmbH

**A:** Bei Verwendung einer Firewall muss der entsprechende Port für die Kommunikation mit dem AnaGate freigeschaltet sein:

| Gerät | Port |
|---|---|
| AnaGate I2C | 5000 |
| AnaGate I2C X7 | 5100, 5200, 5300, 5400, 5500, 5600, 5700 |
| AnaGate CAN | 5001 |
| AnaGate CAN USB | 5001 |
| AnaGate CAN uno | 5001 |
| AnaGate CAN duo | 5001, 5101 |
| AnaGate CAN quattro | 5001, 5101, 5201, 5301 |
| AnaGate CAN X1 | 5001 |
| AnaGate CAN X2 / FX2 / F2 | 5001, 5101 |
| AnaGate CAN X4 / FX4 / F4 / FZ16C4 | 5001, 5101, 5201, 5301 |
| AnaGate CAN X8 / FX8 / F8 / FZ8 | 5001, 5101, 5201, 5301, 5401, 5501, 5601, 5701 |
| AnaGate CAN FZ16 | 5001, 5101, 5201, 5301, 5401, 5501, 5601, 5701, 5801, 5901, 6001, 6101, 6201, 6301, 6401, 6501 |
| AnaGate SPI | 5002 |
| AnaGate Renesas | 5008 |
| AnaGate Universal Programmer UP/UPP | 5000, 5002, 3333, 4444, 20, 21 |
| AnaGate Universal Programmer UPR | 5000, 5002, 5008, 3333, 4444, 20, 21 |
| AnaGate Universal Programmer UP 2.0 | 5000, 5002, 3333, 4444, 20, 21 |

**Tabelle A.1. AnaGate Ports**

## A.2. Fragen zur SPI-Schnittstelle

**F:** Keine SPI-Kommunikation

**A:** Sollten Sie keine SPI-Kommunikation mit Ihrem SPI-Device herstellen können, gehen Sie wie folgt vor:

1. Prüfen Sie, dass das SPI-Device als auch die SPI-Schnittstelle des *AnaGate UP 2.0* mit Spannung versorgt wird.

2. Prüfen Sie, dass kein weiteres Gerät/µC auf dem SPI-Bus aktiv ist.

3. Prüfen Sie, dass keine weiteren elektronischen Bauelemente die Kommunikation auf dem SPI zwischen dem AnaGate SPI und dem SPI-Device stören können.

 © 2007-2025 Analytica GmbH

## A.3. Fragen zur I2C-Schnittstelle

**F:** Keine I2C-Kommunikation

**A:** Sollten Sie keine I2C Kommunikation mit Ihrem I2C-Device herstellen können, gehen Sie wie folgt vor:

1. Prüfen Sie, dass das I2C Gerät und die I2C-Schnittstelle des *AnaGate UP 2.0* mit Spannung versorgt werden.
2. Prüfen Sie, dass kein weiteres Gerät/µC auf dem I2C-Bus aktiv ist.
3. Prüfen Sie, dass die SDA und SCL Leitungen mit einem adäquaten Pull-up-Widerstand (z.B. 4,7 kOhm) auf Versorgungsspannung gezogen werden.
4. Prüfen Sie, dass keine weiteren elektronischen Bauelemente die Kommunikation auf dem I2C zwischen Gerät und dem I2C-Device stören können.
5. Prüfen Sie, dass die Chip-Enable-Adresse vom I2C-Device und der Software identisch sind.

**F:** Welche Reihenfolge ist bei der Kontaktierung von GND, SCL und SDA bei Verwendung eines externen Stromversorgung zu beachten?

**A:** Um potentielle Schäden am *AnaGate UP 2.0* zu vermeiden, muss immer zuerst der GND-Pin mit dem Application Board verbunden werden; erst danach dürfen die Pins SCL und SDA mit dem Application Board kontaktiert werden.

## A.4. Fragen zur JTAG-Schnittstelle

**F:** Keine JTAG-Kommunikation

**A:** Sollten Sie keine Kommunikation mit dem JTAG-Device herstellen können, gehen Sie wie folgt vor:

1. Prüfen Sie, dass das JTAG-Device als auch die JTAG-Schnittstelle des *AnaGate UP 2.0* mit Spannung versorgt wird.
2. Prüfen Sie, dass vom letzten JTAG-Device der TDO-Pin auf den TDO-Pin des *AnaGate UP 2.0* geführt wird.


© 2007-2025 Analytica GmbH

# Anhang B. I2C-Baustein-Liste

Das *AnaGate UP 2.0* ist mit seiner I2C-Schnittstelle ein vollwertiges I2C-Ethernet Gateway, es können damit beliebige Read/Write-Anforderungen über die LAN-Schnittstelle eines PC auf dem I2C-Bus abgesetzt werden. Insbesondere ist auch der Zugriff auf beliebige serielle I2C-EEPROM-Bausteine möglich (Lesen und Beschreiben der Bausteine).

Die kostenlose Programmiersoftware *I2C EEPROM Programmer* macht sich diese Eigenschaft zu Nutze und macht aus dem *AnaGate UP 2.0* ein äußerst leistungsfähiges Programmiergerät für I2C EEPROM-Bausteine.

Exemplarisch sind im folgenden die unterschiedlichen EEPROM-Typen eines einzelnen Herstellers aufgeführt, alle funktional identischen Bausteine anderer Hersteller sind selbstverständlich auch problemlos programmierbar.

| Part-No. | Hersteller | Memory |
|---|---|---|
| M24C01, M24LC01 | STMicroelectronics | 1 Kbit |
| M24C02, M24LC01 | STMicroelectronics | 2 Kbit |
| M24C04, M24LC04 | STMicroelectronics | 4 Kbit |
| M24C08, M24LC08 | STMicroelectronics | 8 Kbit |
| M24C16, M24LC16 | STMicroelectronics | 16 Kbit |
| M24C32, M24LC32 | STMicroelectronics | 32 Kbit |
| M24C64, M24LC64 | STMicroelectronics | 64 Kbit |
| M24C128, M24LC128 | STMicroelectronics | 128 Kbit |
| M24C256, M24LC256 | STMicroelectronics | 256 Kbit |
| M24C512, M24LC512 | STMicroelectronics | 512 Kbit |
| M24M01 | STMicroelectronics | 1024 Kbit |
| M24M02 | STMicroelectronics | 2048 Kbit |

**Tabelle B.1. I2C-Baustein-Liste**

## Wichtig

Sollte ein Baustein noch nicht in der Bausteinliste vorhanden sein, kann er jederzeit im der Software *I2C EEPROM Programmer* nachgepflegt werden, die einzelnen Einstellungen können aus dem Baustein-Datenblatt entnommen werden.


© 2007-2025 Analytica GmbH

# Anhang C. SPI-Baustein-Liste

Das *AnaGate UP 2.0* ist mit seiner SPI-Schnittstelle ein vollwertiges SPI-Ethernet Gateway, es können damit beliebige Read/Write-Anforderungen über die LAN-Schnittstelle eines PC auf dem SPI-Bus abgesetzt werden. Insbesondere ist auch der Zugriff auf SPI-Memory-Bausteine möglich (Lesen und Beschreiben der Bausteine).

Die kostenlose Programmiersoftware *SPI EEPROM Programmer* macht sich diese Eigenschaft zu Nutze und macht aus dem *AnaGate UP 2.0* ein äußerst leistungsfähiges Programmiergerät für SPI EEPROM und andere Speicher-Bausteine.

Exemplarisch sind im folgenden unterschiedliche Baustein-Typen aufgeführt, alle funktional identischen Bausteine anderer Hersteller sind selbstverständlich auch problemlos programmierbar.

| Part-No. | Hersteller | Algorithmus |
|---|---|---|
| M95128, M95256, M95640 | | ST |
| M25P05, M25P10, M25P20, M25P30, M25P40, M25P80, M25P128, M25PX30 | | ST |
| FM25CL64S | Ramtron | ST |
| AT25010A, AT25020A, AT25040A, AT25128, AT25160A, AT25256, AT2532A, AT25640A | | AT250x0A |
| AT25F512, AT25F2048, AT25F4096 | | AT25Fxxx |
| AT24BD041D, AT24BD081D, AT24BD161D, AT24BD321D, AT24BD641D, AT24BD642D | | AT45xxx |

**Tabelle C.1. SPI-Baustein-Liste**

## Wichtig

Sollte ein Baustein noch nicht in der Bausteinliste vorhanden sein, bietet Analytica einen Bauteil-Service an, mit dem vorab überprüft werden kann, ob der Baustein über die Software *SPI EEPROM Programmer* programmiert werden kann. Diese Information kann meist schon dem Baustein-Datenblatt entnommen werden. Eine Erweiterung der aktuell vorhandenen Programmieralgorithmen innerhalb der Software ist auf Anfrage möglich.


© 2007-2025 Analytica GmbH

# Anhang D. Produktvergleich Programmiergeräte

| Feature | | Universal Programmer | | | Universal Programmer 2.0 |
|---|---|---|---|---|---|
| System | Hardware | AnaGate UP | AnaGate UPP | AnaGate UPR | AnaGate UP 2.0 |
| | Prozessor | ARM9 (32bit, 200MHz) | | | ARM9 (32bit, 200MHz) |
| I2C Bus | Baudraten | 50, 100, 200, 400 kpbs | | | 50, 100, 200, 400, 1000 kpbs |
| | Betriebsmodi | Single Master | | | Single, Multi Master |
| SPI Bus | Baudraten | 200 bis 8.333 kpbs | | | 200 bis 10.000 kpbs |
| JTAG | Baudraten | 10 bis 8.000 kpbs | | | 10 bis 8.000 kpbs |
| Renesas | Baudraten | | | 9600, 19200, 38400, 57600 kpbs | |
| Power | Ausgangs-spannung | | 1.8V, 2.7V, 3.3V, 5.0V | | 1.8V, 2.7V, 3.3V, 5.0V |
| Digital IO | Eingänge | 4 | | | 4 |
| | Ausgänge | 4 | | | 4 |

**Tabelle D.1. Vergleich der Universal-Programmiergeräte**

| Feature | | I2C Programmer | SPI Programmer | Universal Programmer 2.0 |
|---|---|---|---|---|
| System | Hardware | AnaGate I2C | AnaGate SPI | AnaGate UP 2.0 |
| | Prozessor | eZ80 Acclaim(8bit) | | ARM9 (32bit) |
| | Betriebssystem | Zilog ZTP (RTOS) | | Linux (Kernel 2.6.20) |
| | USB | | | 2 x USB 1.1 |
| | Erweiterbar | | | ladbare Programme (via GCC erstellt) |
| | Temp. Bereich | 0 -60°C | 0 -60°C | 0 -60°C |
| | Eingangs-spannung | 8 .. 28V DC | 8 .. 28V DC | 8 .. 28V DC |
| I2C Bus | Baudraten | 50, 100, 200, 400 kpbs | | 50, 100, 200, 400, 1000 kpbs |
| | Betriebsmodi | Single Master | | Single, Multi Master |


© 2007-2025 Analytica GmbH

| Feature | | I2C Programmer | SPI Programmer | Universal Programmer 2.0 |
|---|---|---|---|---|
| SPI Bus | Baudraten | | 10 bis 6.000 kpbs | 200 bis 10.000 kpbs |
| JTAG | Baudraten | | | 10 bis 8.000 kpbs |
| Power | Ausgangs-spannung | | | 1.8V, 2.7V, 3.3V, 5.0V |
| LAN | Speed | 10/100 Mbps | | 10/100 Mbps |
| Digital IO | Eingänge | 4 | 4 | 4 |
| | Ausgänge | 4 | 4 | 4 |

**Tabelle D.2. Vergleich Universal- und Standalone-Programiergeräte**


© 2007-2025 Analytica GmbH

# Anhang E. Programmiergeschwindigkeit

Das konkrete Verhalten des Universal Programmers im Vergleich zu den beiden Vorgänger-Modellen für SPI und I2C ist nachfolgend jeweils anhand Referenzbausteinen aufgezeigt.

| Gerät | Baustein | Größe | Baud-rate | Program | Verify | Gesamt |
|---|---|---|---|---|---|---|
| AnaGate I2C | AT24C1024 | 128KB | 400 kbps | 6.4s | 5.1s | 11.5s |
| AnaGate UP | AT24C1024 | 128KB | 400 kbps | 5.0s | 3.8s | 8.8s |
| AnaGate UP 2.0 | AT24C1024 | 128KB | 400 kbps | 4.6s | 3.8s | 8.4s |
| AnaGate UP 2.0 | AT24C1024 | 128KB | 1 Mbps | 2.6s | 2.1s | 4.7s |
| AnaGate UP 2.0 | 24LC512[1] | 64KB | 400 kbps | 3.8s | 2.0s | 5.8s |

[1]max. 400 kBit/s lt. Datenblatt

**Tabelle E.1. Programmiergeschwindigkeiten für I2C im Vergleich**

| Gerät | Baustein | Größe | Baud-rate | Delete | Program | Verify | Gesamt |
|---|---|---|---|---|---|---|---|
| AnaGate SPI | AT45DB642D | 4MB | 6,25 MHz | 18.2s | 123.0s | 61.9s | 202.9s |
| AnaGate UP | AT45DB642D | 4MB | 6,25 MHz | 18.1s | 56.1s | 31.9s | 106.2s |
| AnaGate UP | AT45DB642D | 4MB | 8.33 MHz | 18.1s | 56.0s | 31.8s | 105.9s |
| AnaGate UP 2.0 | AT45DB642D | 4MB | 8.33 MHz | 18.1s | 20.6s | 21.0s | 59.7 s |
| AnaGate UP 2.0 | AT45DB642D | 4MB | 10.0 MHz | 18.1s | 19.4s | 19.6s | 57.1s |
| AnaGate SPI | M25P16 | 2MB | 6,25 MHz | 14.8s | 141.6s | 28.7s | 185.1s |
| AnaGate UP | M25P16 | 2MB | 8,33 MHz | 14.7s | 37.8s | 8.0s | 60.5s |
| AnaGate UP 2.0 | M25P16 | 2MB | 10,0 MHz | 14.7s | 9.9s | 5.0s | 29.6s |

**Tabelle E.2. Programmiergeschwindigkeiten für SPI im Vergleich**


© 2007-2025 Analytica GmbH

## Anmerkung

Es wurde bei der Messung jeweils ein herkömmlicher PC (Intel Core2 Duo E8400, 3.0 GHz, 4 GByte RAM mit Betriebssystem Windows 7 64bit SP1) verwendet. Es wurden mehrere Durchläufe gemittelt, die Bausteine wurden dabei jedes Mal komplett vom PC aus übers LAN beschrieben und ausgelesen.


© 2007-2025 Analytica GmbH

# Anhang F. Technischer Support

Die Hardware-Serie AnaGate, die Programmierschnittstellen und zugehörigen Tools werden von der Analytica GmbH entwickelt und unterstützt. Technische Unterstützung kann wie folgt angefordert werden:

## Internet

Die AnaGate-Website www.anagate.de der Analytica GmbH enthält die Dokumentation und Software-Downloads für Benutzer der AnaGate Library.

Weiterhin sind hier die neusten Software und Firmware Updates, die Fehlerbehebungen oder neue Features beinhalten, verfügbar.

## E-Mail

Für individuelle technische Unterstützung senden Sie bitte eine E-Mail an:

`<support@anagate.de>`

Helfen Sie uns bei der optimalen Unterstützung und halten Sie stets folgende Informationen bereit, wenn Sie mit dem Support in Verbindung treten:

- Versionsnummer der jeweiligen Systemkomponente bzw. des Programm-Tools
- AnaGate-Modell und Firmware-Version
- Name und Version des verwendeten Betriebssystems


© 2007-2025 Analytica GmbH

# Abkürzungen

Im Folgenden einige oft benutzte Abkürzungen und deren Bedeutungen.

| | |
|---|---|
| DHCP | Dynamic Host Configuration Protocol |
| CAN | Controller Area Network |
| CAN FD | Controller Area Network Flexible Data-Rate |
| CiA | CAN in Automation |
| I2C | Inter-Integrated Circuit |
| SCL | Serial Clock Line (serielle Taktleitung) |
| SDA | Serial DAta Line (serielle Datenleitung) |
| SPI | Serial Peripheral Interface |
| CLK | Clock |
| MISO | Master In Slave Out |
| SS | Slave Select |
| MOSI | Master Out Slave In |
| JTAG | Joint Test Action Group |
| TRST | Test Reset |
| SRST | Slave Reset |
| TDI | Test Data Input |
| TDO | Test Data Output |
| TMS | Test Mode Select Input |
| TCK | Test Clock |


© 2007-2025 Analytica GmbH

# Literaturverzeichnis

## Bücher

[LuaRef2019-EN] Roberto Ierusalimschy, Luiz Henrique de Figueiredo und Waldemar Celes. Copyright © 2019 R. Ierusalimschy, L. H. de Figueiredo, W. Celes. ISBN 978-1680922639. Lua.org. *Lua 5.3 Reference Manual*.

[LuaProg2016-EN] Roberto Ierusalimschy. Copyright © 2016 Roberto Ierusalimschy, Rio de Janeiro. ISBN 978-8590379867. Lua.org. *Programming in Lua (third edition)*.

[LuaProg2013-DE] Roberto Ierusalimschy. Copyright © 2013 Roberto Ierusalimschy, Rio de Janeiro. ISBN 978-3-95539-020-4. Open Source Press, München. *Programmieren mit Lua*.

## Publikationen

[NXP-I2C] NXP Semiconductors. Copyright © 2007 NXP Semiconductors. *UM10204*. I2C-bus specification and user manual. Rev. 03. 19.06.2007.

[TCP-2020] Analytica GmbH. Copyright © 2010 Analytica GmbH. *Handbuch TCP-IP Kommunikation V2* . Version 2.0.0. 20.02.2020.

[Prog-2025] Analytica GmbH. Copyright © 2025 Analytica GmbH. *AnaGate API 2* . Programmer's Manual . Version 2.0. 28.04.2025.

[CiA-DS301] Copyright © 2002 CAN in Automation (CiA) e. V.. CAN in Automation (CiA) e.V.. Version 4.0.2. 13.02.2002. *Cia 301, CANopen Application Layer and Communication Profile*.

 © 2007-2025 Analytica GmbH